

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-358415

(43) 公開日 平成4年(1992)12月11日

(51) Int.Cl.<sup>5</sup>

H 03 L 7/187  
7/18

識別記号

府内整理番号

F I

技術表示箇所

9182-5 J  
9182-5 J

H 03 L 7/18

D  
Z

審査請求 未請求 請求項の数1(全5頁)

(21) 出願番号 特願平3-134390

(22) 出願日 平成3年(1991)6月5日

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 今井潤

神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内

(72) 発明者 村上知可

神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内

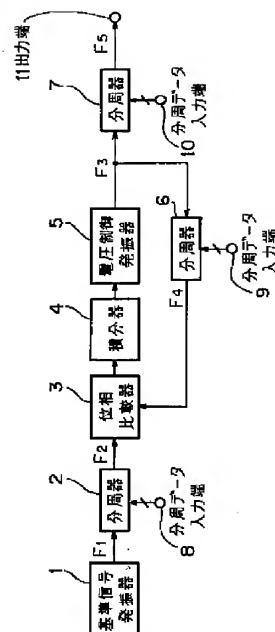
(74) 代理人 弁理士 藏合正博

(54) 【発明の名称】 シンセサイズド信号発生装置

(57) 【要約】

【目的】 広帯域信号発生装置を1つの狭帯域電圧制御発振器と3個の分周回路を用いて実現させること。

【構成】 基準信号発振器1の信号を第1の分周器2によって分周し、電圧制御発振器5の信号を第2の分周器6によって分周する。第1と第2の分周器2, 6の出力信号を位相比較器3に印加し、その位相差出力信号を積分器4により積分して電圧制御発振器5に印加し、電圧制御信号発振器5を基準信号発振器1に位相同期させる。さらに電圧制御発振器5の出力信号を第3の分周器7により分周して所望の周波数の信号を出力端11から出力する。各分周器2, 6, 7の分周比は分周データ入力端8, 9, 10からのデータにより制御される。



## 【特許請求の範囲】

【請求項1】 基準信号を発生する基準信号発振器と、前記基準信号発振器の出力信号を分周する第1の分周器と、発振周波数を制御する狭帯域の電圧制御発振器と、前記電圧制御発振器の出力信号を分周する第2の分周器と、前記第1および第2の分周器の出力信号を位相比較する位相比較器と、前記位相比較器の出力信号を積分する積分器と、前記電圧制御発振器の出力信号を分周する第3の分周器とを備え、前記第1および第3の分周器の分周比の乗算値を一定に保ちながら、前記第1、第2および第3の分周器の分周比を制御することにより広帯域の信号を発生させるシンセサイズド信号発生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、広帯域の信号を発生させる装置等に使用するシンセサイズド信号発生装置に関するものである。

## 【0002】

【従来の技術】 図3は従来の広帯域シンセサイズド信号発生装置の構成を示している。図3において、20は基準信号発振器、21は基準信号発振器20の出力を分周する第1の分周器、22は基準信号発振器20と電圧制御発振器24、25、26の位相差信号を取り出す位相比較器、23は位相比較器22の出力を積分する積分器、24、25、26はそれぞれ帯域の異なる電圧制御発振器、27は電圧制御発振器24、25、26の出力を分周する第2の分周器、28、29、30は電圧制御発振器24、25、26の出力を切り換えるスイッチ、31は電圧制御発振器24、25、26の出力を分周する第3の分周器、32は第2の分周器27の分周データ入力端、33は本装置の出力端である。

【0003】 次に上記従来例の動作について説明する。電圧制御発振器24は、その出力信号を第2の分周器27で分周した後、基準信号発振器20の出力を固定の第1の分周器21で分周した信号と位相比較器22により位相比較され、その位相差信号を積分器23により積分し、電圧制御発振器24に帰還することにより、電圧制御発振器24を基準信号発振器20に位相同期させる。また、電圧制御発振器24の出力信号を固定の第3の分周器31により分周し、周波数の安定した出力信号を得る。さらに、電圧制御発振器24を帯域の異なる電圧制御発振器25、26にスイッチ28、29、30を用いて切り換えることにより、本装置の出力端33に広帯域の出力信号を得る。

【0004】 図4は上記従来例における設定値例を示しており、基準信号発振器20の基準信号を4MHz、分周器21を1/10固定分周、分周器31を1/4固定分周、電圧制御発振器24の発振周波数を6.0MHz～75.6MHz、電圧制御発振器25の発振周波数を76.0MHz～95.6MHz、電圧制御発振器26の発振周波数を96.0MHz～120.0MHz、分周器27を分周器データ入力端32により1/150～1/300に設定したものである。

6の発振周波数を96.0MHz～120.0MHz、分周器27を分周器データ入力端子32により1/150～1/300に設定したものである。

【0005】 帯域の異なる電圧制御発振器24、25、26をスイッチ28、29、30を用いて切り換え、第2の分周器27の分周比を任意に設定することにより、出力端33に15MHz～30MHzの出力信号を発生させることができる。

【0006】 このように、上記従来のシンセサイズド信号発生装置でも、広帯域の信号を発生させることができること。

## 【0007】

【発明が解決しようとする課題】 しかしながら、上記従来のシンセサイズド信号発生装置では、良好な位相雑音特性を得るために、複数の電圧制御発振器24、25、26とスイッチ28、29、30を用いなければならないため、回路規模の増加、スイッチによる信号の劣化等の問題があった。

【0008】 本発明は、このような従来の問題を解決するものであり、1個の狭帯域電圧制御発振器と複数の分周器との構成により、良好な位相雑音特性を確保しながら回路規模を小さくし、かつ広帯域の信号を発生させることができるシンセサイズド信号発生装置を提供することを目的とするものである。

## 【0009】

【課題を解決するための手段】 本発明は、上記目的を達成するために、基準信号発振器の後段に第1の分周器を設けて基準信号発振器の分周出力信号を可変にするとともに、狭帯域な電圧制御発振器の後段に、基準信号発振器に位相同期させるための第2の分周器と、所望の周波数の出力を得るための第3の分周器を設け、第1および第3の分周器の分周比の乗算値を一定に保ちながら各分周器を制御するようにしたものである。

## 【0010】

【作用】 したがって、本発明によれば、狭帯域な電圧制御発振器と第1、第2および第3の分周器とを制御することにより、良好な位相雑音特性を確保しながら回路規模を小さくし、かつ広帯域の出力信号を得ることができるという効果を有する。

## 【0011】

【実施例】 図1は本発明の一実施例の構成を示すものである。図1において、1は基準信号発振器、2は第1の分周器、3は基準信号発振器1と電圧制御発振器5の位相差信号を取り出す位相比較器、4は位相比較器3の出力を積分する積分器、5は狭帯域な電圧制御発振器、6は電圧制御発振器5の出力を分周して位相比較器3へ送るための第2の分周器、7は電圧制御発振器5の出力を分周して所望の周波数信号を得るための第3の分周器、8は第1の分周器2の分周データを設定するための分周データ入力端、9は第2の分周器6の分周データを設定

するための分周データ入力端、10は第3の分周器7の分周データを設定するための分周データ入力端、11は本装置の出力端である。F<sub>1</sub>は基準信号発振器1の出力信号、F<sub>2</sub>は第1の分周器2の出力信号、F<sub>3</sub>は電圧制御発振器5の出力信号、F<sub>4</sub>は第2の分周器6の出力信号、F<sub>5</sub>は第3の分周器7の出力信号である。

【0012】次に上記実施例の動作について説明する。基準信号発振器1の出力信号F<sub>1</sub>を第1の分周器2によって1/N<sub>1</sub>に分周し、出力信号F<sub>2</sub>を得る。また、電圧制御発振器5の出力信号F<sub>3</sub>を第2の分周器6によって1/N<sub>2</sub>に分周し、出力信号F<sub>4</sub>を得る。次いで出力信号F<sub>4</sub>と出力信号F<sub>2</sub>を位相比較器3で位相比較し、その位相差信号を積分器4により積分し、電圧制御発振器5に帰還する。これにより、基準信号発振器1に位同期した安定した出力信号F<sub>5</sub>を得る。次に、電圧制御発振器5の出力信号F<sub>3</sub>を分周器7によって1/N<sub>3</sub>に分周し、所望の出力信号F<sub>5</sub>を得る。なお、制御の簡素化のため第1分周器2と第3の分周器7の分周比の乗算値を一定にする。

【0013】上記実施例において、出力信号F<sub>5</sub>の周波数範囲を15MHz～30MHz、周波数分解能を100kHzにする場合、次の各式が満足されるように設定値を決定する。

$$F_1 = 6 \text{ MHz} \quad \dots \quad (1)$$

$$F_3 = 6 N_2 N_3 / N_1 N_3 \quad \dots \quad (2)$$

$$F_5 = 6 N_2 / N_1 N_3 \quad \dots \quad (3)$$

$$15 \text{ MHz} \leq F_5 \leq 30 \text{ MHz} \quad \dots \quad (4)$$

$$N_1 N_3 = 60 \quad \dots \quad (5)$$

式(5)から式(2)および式(3)は次式となる。

$$F_3 = 0.1 N_2 N_3 \quad \dots \quad (6)$$

$$F_5 = 0.1 N_2 \quad \dots \quad (7)$$

【0014】したがって、出力信号F<sub>5</sub>の可変範囲を15MHzから30MHzにするには、分周比N<sub>2</sub>を1.50MHzから3.00MHzに設定すればよいことになる。

【0015】図2は出力信号F<sub>5</sub>の値を得るための各数値の設定例を示したものである。基準信号発振器1の基準信号を6MHz、電圧制御発振器5の発振周波数を90.0MHz～120.0MHzとした場合、出力端1の出力信号F<sub>5</sub>を15.0MHz～19.9MHzとするには、分周器2を1/10分周、分周器7を1/6分周とし、出力端1の出力信号F<sub>5</sub>を20.0MHz～23.9MHzとするには、分周器2を1/12分周、分周器7を1/5分周とし、出力端1の出力信号F<sub>5</sub>を24.0MHz～30.0MHzとするには、分周器2を1/15分周、分周器7を1/4分周とする。分周器6の分周比N<sub>2</sub>は、上記(7)式から1/150

～1/300に設定されている。

【0016】また、良好な位相雑音特性を得るために、電圧制御発振器5の周波数可変範囲を狭くする必要があるので、F<sub>5</sub>が15MHzのときはN<sub>3</sub>を大きくし、上記式(5)によりN<sub>1</sub>が小さくなる。また、F<sub>5</sub>が30MHzのときはN<sub>3</sub>を小さくし、上記式(5)によりN<sub>1</sub>が大きくなる。

【0017】このように、上記実施例によれば、90MHzから120MHzの狭帯域な電圧制御発振器5と分

10周器2、6、7とを制御することにより、良好な位相雑音特性を確保しながら15MHzから30MHzのオクターブの広帯域の出力信号を得ることができる。また、従来のような複数の電圧制御発振器とスイッチを必要としないので、回路規模を小さくすることができるとともに、スイッチによる信号の劣化等の問題を除去することができる。さらに、第3の分周器7の設定値により、出力信号F<sub>5</sub>は電圧制御発振器5の位相雑音特性を12dB(1/4分周)から15dB(1/6分周)改善することができ、従来例における12dB(固定1/4分周)改善と同等以上の位相雑音特性を確保することができる。

【0018】

【発明の効果】本発明は、上記実施例から明らかなように、1個の狭帯域な電圧制御発振器と3個の分周器とを制御することにより、良好な位相雑音特性を確保しながら広帯域の出力信号を得ることができ、また、複数の電圧制御発振器とスイッチを必要としないので、回路規模を小さくすることができるとともに、スイッチによる信号の劣化等の問題を除去することができる。

30【図面の簡単な説明】

【図1】本発明の一実施例におけるシンセサイズド信号発生装置の概略ブロック図

【図2】同装置における設定値例を示す図

【図3】従来のシンセサイズド信号発生装置の概略ブロック図

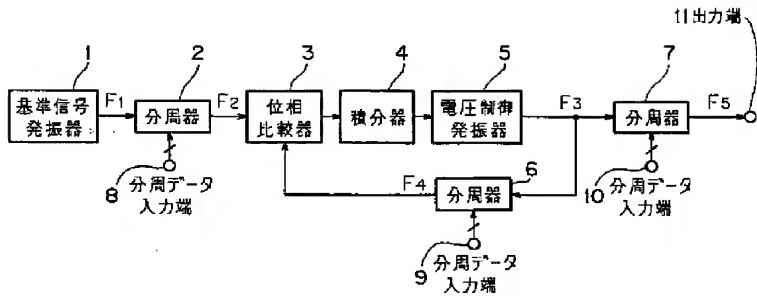
【図4】同装置における設定値例を示す図

【符号の説明】

- 1 基準信号発振器
- 2 第1の分周器
- 3 位相比較器
- 4 積分器
- 5 電圧制御発振器
- 6 第2の分周器
- 7 第3の分周器
- 8, 9, 10 分周データ入力端
- 11 出力端

F<sub>1</sub>, F<sub>2</sub>, F<sub>3</sub>, F<sub>4</sub>, F<sub>5</sub> 出力信号

【図1】

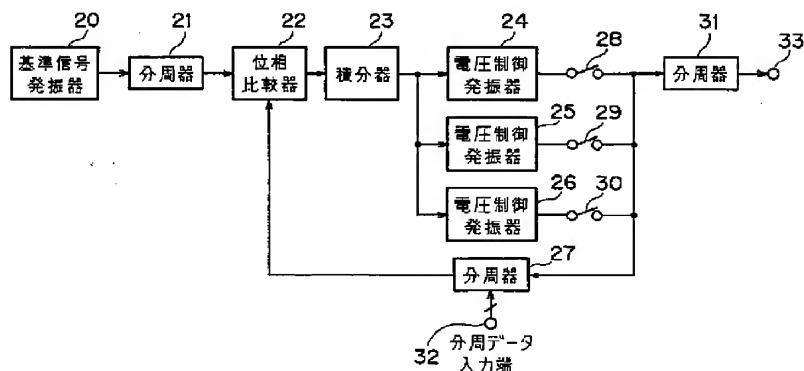


【図2】

出力信号 F5(MHz)	分周器2の分周比N1	分周器7の分周比N3	分周器6の分周比N2	電圧制御発振器5の出力(MHz)
15.0	10	6	150	90.0
15.1	10	6	151	90.6
...	...	...	...	...
19.9	10	6	199	119.4
20.0	12	5	200	100.0
20.1	12	5	201	100.5
...	...	...	...	...
23.9	12	5	239	119.5
24.0	15	4	240	96.0
24.1	15	4	241	96.4
...	...	...	...	...
29.9	15	4	299	119.6
30.0	15	4	300	120.0

基準信号 6MHz

【図3】



【図4】

出力信号 (MHz)	分周器 27の 分周比N	電圧制御 発振器 24の出力 (MHz)	電圧制御 発振器 25の出力 (MHz)	電圧制御 発振器 26の出力 (MHz)
15.0	150	60.0	—	—
15.1	151	60.4	—	—
⋮	⋮	⋮	—	—
⋮	⋮	⋮	—	—
18.8	188	75.2	—	—
18.9	189	75.6	—	—
19.0	190	—	76.0	—
19.1	191	—	76.4	—
⋮	⋮	—	⋮	—
⋮	⋮	—	⋮	—
23.8	238	—	95.2	—
23.9	239	—	95.6	—
24.0	240	—	—	96.0
24.1	241	—	—	96.4
⋮	⋮	—	⋮	⋮
⋮	⋮	—	⋮	⋮
29.9	299	—	—	119.6
30.0	300	—	—	120.0

・基準信号 4MHz

・分周器21:1/10固定

・分周器31:1/4固定

**PAT-NO:** JP404358415A  
**DOCUMENT-  
IDENTIFIER:** JP 04358415 A  
**TITLE:** SYNTHESIZED SIGNAL  
GENERATOR  
**PUBN-DATE:** December 11, 1992

**INVENTOR-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
IMAI, JUN	
MURAKAMI, TOMOYOSHI	

**ASSIGNEE-INFORMATION:**

<b>NAME</b>	<b>COUNTRY</b>
MATSUSHITA ELECTRIC IND CO LTD	N/A

**APPL-NO:** JP03134390

**APPL-DATE:** June 5, 1991

**INT-CL (IPC):** H03L007/187 , H03L007/18

**US-CL-CURRENT:** 331/25

**ABSTRACT:**

**PURPOSE:** To obtain the output signal of a wide band while

securing the satisfactory phase noise characteristic by controlling a narrow band voltage control oscillator and three dividers, to reduce the circuit scale by omitting plural voltage control oscillators, and to reduce the deterioration of the signal.

**CONSTITUTION:** The output signal of a reference signal oscillator 1 is divided into  $1/N_1$  pieces by a 1st frequency divider 2, and the output signal of a voltage control oscillator 5 is divided into  $1/N_2$  pieces by a 2nd frequency divider 6 respectively. Then the output signals of both frequency dividers 2 and 6 are compared with each other by a phase comparator 3, and the obtained phase signal is integrated by an integrator 4. This integrated signal is fed back to the oscillator 5 and a stable output signal having the phase synchronization with the oscillator 1 is obtained. Then the output signal of the oscillator 5 is divided into  $1/N_3$  pieces by a 3rd frequency divider 7 so that a desired output signal is produced. In such conditions, the multiplication value of the division ratio between both dividers 2 and 7 is set constant for the simplification of the control. In addition, the division value is set as  $N_3 > N_1$  or  $N_1 > N_3$  so as to reduce the frequency variable range of the oscillator 5 in order to obtain a satisfactory phase noise characteristic.

**COPYRIGHT:** (C)1992,JPO&Japio